

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-057186

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

G06F 17/50

(21)Application number : 10-223814

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

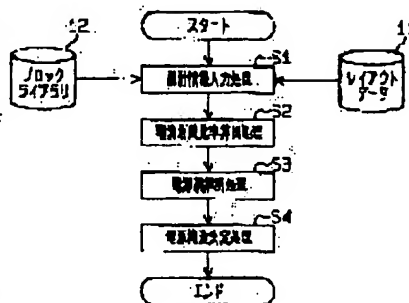
(22)Date of filing : 07.08.1998

(72)Inventor : FUJINE EIJI  
NAWA TAKAMICHI  
YUYAMA HIROSHI  
ISODA MASAHIITO(54) PREPARATION OF LAYOUT DATA, LAYOUT DATA PREPARATION DEVICE,  
AND RECORDING MEDIUM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a layout data preparation method which prepares the layout data of power supply wiring that is suitable to a function block in a short time by calculating the voltage value and current value in each part of power supply wiring from a power supply network produced based on consumption current quantity and the information of the power supply wiring and deciding the structure of the power supply wiring based on these voltage and current values.

**SOLUTION:** The layout information of power supply wiring, the arrangement information of each block and consumption current value in each block are inputted (S1). The physical information of each block is inputted and a consumption current ratio in the power supply terminal of each block is calculated based on the physical information (S2). A power supply network is produced and a prescribed matrix operation is executed to the power supply network (S3). The current value and voltage drop value in each node of the power supply wiring are obtained by means of this analysis processing. A fault place deviating from the range of reference value is retrieved based on the current value and the voltage drop value and the structure of power supply wiring at the fault place is decided based on retrieval results (S4).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**(書誌+要約+請求の範囲)**

- (19)【発行国】日本国特許庁(JP)  
 (12)【公報種別】公開特許公報(A)  
 (11)【公開番号】特開2000-57186(P2000-57186A)  
 (43)【公開日】平成12年2月25日(2000. 2. 25)  
 (54)【発明の名称】レイアウトデータ作成方法、レイアウトデータ作成装置、及び記録媒体  
 (51)【国際特許分類第7版】

G06F 17/50

**【FI】**

G06F 15/60      658 T  
                   658 K

**【審査請求】未請求****【請求項の数】23****【出願形態】OL****【全頁数】24**

(21)【出願番号】特願平10-223814

(22)【出願日】平成10年8月7日(1998. 8. 7)

(71)【出願人】

**【識別番号】000005223****【氏名又は名称】富士通株式会社****【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号**

(71)【出願人】

**【識別番号】000237617****【氏名又は名称】富士通ヴィエルエスアイ株式会社****【住所又は居所】愛知県春日井市高蔵寺町2丁目1844番2**

(72)【発明者】

**【氏名】藤根 栄司****【住所又は居所】愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内**

(72)【発明者】

**【氏名】名和 孝倫****【住所又は居所】愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内**

(72)【発明者】

**【氏名】湯山 浩****【住所又は居所】愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内**

(72)【発明者】

**【氏名】礪田 雅仁****【住所又は居所】愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内**

(74)【代理人】

**【識別番号】100068755****【弁理士】****【氏名又は名称】恩田 博宣****【テーマコード(参考)】**

58046

**【Fターム(参考)】**

5B046 AA08 BA04 CA00

**(57)【要約】**

【課題】機能ブロックに適した電源配線のレイアウトデータを短時間で作成することができるレイアウトデータ作成方法を提供する。

【解決手段】半導体装置のレイアウトデータから、電源配線の情報、ブロックの配置情報、ブロックの消費電流値を含む半導体装置の設計情報を入力し、ブロックの物理情報を入力し、該物理情報と設計情報に基づいて各ブロックの電源端子における電流消費量の比率を求める。電流消費量の比率から各電源端子における電流消費量を求め、該電流消費量と電源配線の情報に基づいて作成した電源網から電源配線の各部分における電圧値、電流値を算出する。そして、その電圧値、電流値に基づいて電源配線の構造を決定する。

**【特許請求の範囲】**

【請求項1】半導体装置の外部電源端子から該半導体装置を構成するブロックの電源端子に電源電圧を供給する外部電源配線の構造を決定するためのレイアウトデータ作成方法であって、前記半導体装置のレイアウトデータから、前記電源配線の情報、ブロックの配置情報、ブロックの消費電流値を含む前記半導体装置の設計情報を入力する入力行程と、前記ブロックの物理情報を入力し、該物理情報と前記設計情報に基づいて各ブロックの電源端子における電流消費量の比率を求める行程と、前記電流消費量の比率から各電源端子における電流消費量を求め、該電流消費量と前記電源配線の情報に基づいて作成した電源網から前記電源配線の各部分における電圧値、電流値を算出する算出行程と、前記電圧値、電流値に基づいて前記電源配線の構造を決定する行程とを含むレイアウトデータ作成方法。

【請求項2】請求項1に記載のレイアウトデータ作成方法において、前記各電源端子における電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから該各電源端子の幅のデータを抽出する工程と、前記各電源端子の幅のデータに基づいて、該各幅の比率を前記各電源端子における電流消費量の比率に設定する工程とを備えたレイアウトデータ作成方法。

【請求項3】請求項1に記載のレイアウトデータ作成方法において、前記各電源端子における電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから該各電源端子から延びる内部配線のデータを抽出する工程と、前記ブロックのレイアウトデータ及び前記ブロックの各トランジスタにおける動作率のデータの少なくとも1つから電源の種類毎の前記各電源端子に対応する電流消費量の比率を求める工程と、前記内部配線のデータ及び前記各電源端子に対応する電流消費量の比率に基づいて、電源の種類毎に該内部配線の電源網を含むブロックの等価回路を作成する工程と、前記等価回路から該各電源端子における前記電流消費量の比率を求める工程とを備えたレイアウトデータ作成方法。

【請求項4】請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータの内部配線のデータから該各内部配線の幅のデータを抽出する工程と、前記各内部配線の幅のデータに基づいて、該各幅の比率を該各電源端子に対応する電流消費量の比率に設定する工程とを備えたレイアウトデータ作成方法。

【請求項5】請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータの内部配線のデータから該各内部配線の面積のデータを抽出する工程と、前記各内部配線の面積のデータに基づいて、該各面積の比率を該各電源端子に対応する電流消費量の比率に設定する工程とを備えたレイアウトデータ作成方法。

【請求項6】請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから前記各内部配線と各トランジスタとを接続するコンタクトの個数のデータを抽出する工程と、前記コンタクトの個数のデータに基づいて、前記各電源端子に対応する該コンタクトの総個数の比率を同各電源端子に対応する電流消費量の比率に設定する工程とを備えたレイアウトデータ作成方法。

【請求項7】請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから前記各内部配線と各トランジスタとを接続するコンタクトの面積のデータを抽出する工程と、前記コンタクトの面積

のデータに基づいて、前記各電源端子に対応する該コンタクトの総面積の比率を同各電源端子に対応する電流消費量の比率に設定する工程とを備えたレイアウトデータ作成方法。

【請求項8】請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから前記各内部配線に接続される前記各トランジスタのゲート幅のデータを抽出する工程と、前記各トランジスタのゲート幅のデータに基づいて、前記各電源端子に対応する各トランジスタのゲート幅の総和の比率を同各電源端子に対応する電流消費量の比率に設定する工程とを備えたレイアウトデータ作成方法。

【請求項9】請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから前記各内部配線に接続される前記各トランジスタのゲート長のデータを抽出する工程と、前記各トランジスタのゲート長のデータに基づいて、前記各電源端子に対応する各トランジスタのゲート長の相関値の総和の比率を同各電源端子に対応する電流消費量の比率に設定する工程とを備えたレイアウトデータ作成方法。

【請求項10】請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックの各トランジスタにおける動作率のデータに基づいて、前記各電源端子に対応する各トランジスタの動作率の総和の比率を同各電源端子に対応する電流消費量の比率に設定する工程を備えたレイアウトデータ作成方法。

【請求項11】請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから、前記各内部配線に接続される前記各トランジスタのゲート幅のデータ及びゲート長のデータの少なくとも1つを抽出する工程と、前記各トランジスタのゲート幅のデータ、前記各トランジスタのゲート長のデータの相関値及び前記各トランジスタにおける動作率のデータの内の少なくとも2つを、各トランジスタ毎に掛算して、各トランジスタの電流消費量の比率を求める工程と、前記各電源端子に対応するトランジスタの電流消費量の比率の総和の比率を各電源端子に対応する電流消費量の比率に設定する工程とを備えたレイアウトデータ作成方法。

【請求項12】半導体装置の外部電源端子から該半導体装置を構成するブロックの電源端子に電源電圧を供給する外部電源配線の構造を決定するためのレイアウトデータ作成装置であって、前記半導体装置のレイアウトデータから、前記電源配線の情報、ブロックの配置情報、ブロックの消費電流値を含む前記半導体装置の設計情報を入力する設計情報入力手段と、前記ブロックの物理情報を入力し、該物理情報と前記設計情報に基づいて各ブロックの電源端子における電流消費量の比率を求める第1の比率算出手段と、前記電流消費量の比率から各電源端子における電流消費量を求め、該電流消費量と前記電源配線の情報に基づいて作成した電源網から前記電源配線の各部分における電圧値、電流値を算出する電源網解析手段と、前記電圧値、電流値に基づいて前記電源配線の構造を決定する電源構造決定手段とを備えたレイアウトデータ作成装置。

【請求項13】請求項12に記載のレイアウトデータ作成装置において、前記第1の比率算出手段は、前記ブロックのレイアウトデータから該各電源端子の幅のデータを抽出する第1の抽出手段と、前記各電源端子の幅のデータに基づいて、該各幅の比率を前記各電源端子における電流消費量の比率に設定する第2の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項14】請求項12に記載のレイアウトデータ作成装置において、前記第1の比率算出手段は、前記ブロックのレイアウトデータから該各電源端子から延びる内部配線のデータを抽出する第2の抽出手段と、前記ブロックのレイアウトデータ及び前記ブロックの各トランジスタにおける動作率のデータの少なくとも1つから電源の種類毎の前記各電源端子に対応する電流消費量の比率を求める第3の比率算出手段と、前記内部配線のデータ及び前記各電源端子に対応する電流消費量の比率に基づいて、電源の種類毎に該内部配線の電源網を含むブロックの等価回路を作成する等価回路作成手段と、前記等価回路から該各電源端子における前記電流消費量の比率を求める第4の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項15】請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータの内部配線のデータから該各内部配線の幅のデータを抽出する第3の抽出手段と、前記各内部配線の幅のデータに基づいて、該各幅の比率を該各電源端子に対応する電流消費量の比率に設定する第5の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項16】請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータの内部配線のデータから該各内部配線の面積のデータを抽出する第4の抽出手段と、前記各内部配線の面積のデータに基づいて、該各面積の比

率を該各電源端子に対応する電流消費量の比率に設定する第6の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項17】請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから前記各内部配線と各トランジスタとを接続するコンタクトの個数のデータを抽出する第5の抽出手段と、前記コンタクトの個数のデータに基づいて、前記各電源端子に対応する該コンタクトの総個数の比率を同各電源端子に対応する電流消費量の比率に設定する第7の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項18】請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから前記各内部配線と各トランジスタとを接続するコンタクトの面積のデータを抽出する第6の抽出手段と、前記コンタクトの面積のデータに基づいて、前記各電源端子に対応する該コンタクトの総面積の比率を同各電源端子に対応する電流消費量の比率に設定する第8の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項19】請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから前記各内部配線に接続される前記各トランジスタのゲート幅のデータを抽出する第7の抽出手段と、前記各トランジスタのゲート幅のデータに基づいて、前記各電源端子に対応する各トランジスタのゲート幅の総和の比率を同各電源端子に対応する電流消費量の比率に設定する第9の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項20】請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから前記各内部配線に接続される前記各トランジスタのゲート長のデータを抽出する第8の抽出手段と、前記各トランジスタのゲート長のデータに基づいて、前記各電源端子に対応する各トランジスタのゲート長の相関値の総和の比率を同各電源端子に対応する電流消費量の比率に設定する第10の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項21】請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックの各トランジスタにおける動作率のデータに基づいて、前記各電源端子に対応する各トランジスタの動作率の総和の比率を同各電源端子に対応する電流消費量の比率に設定する第11の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項22】請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから、前記各内部配線に接続される前記各トランジスタのゲート幅のデータ及びゲート長のデータの少なくとも1つを抽出する第9の抽出手段と、前記各トランジスタのゲート幅のデータ、前記各トランジスタのゲート長のデータの相関値及び前記各トランジスタにおける動作率のデータの内の少なくとも2つを、各トランジスタ毎に掛算して、各トランジスタの電流消費量の比率を求める第12の比率算出手段と、前記各電源端子に対応するトランジスタの電流消費量の比率の総和の比率を各電源端子に対応する電流消費量の比率に設定する第13の比率算出手段とを備えたレイアウトデータ作成装置。

【請求項23】半導体装置の外部電源端子から該半導体装置を構成するブロックの電源端子に電源電圧を供給する外部電源配線の構造を決定するためのコンピュータ読み取り可能なプログラムコードが記録された記録媒体であって、前記プログラムは、前記半導体装置のレイアウトデータから、前記電源配線の情報、ブロックの配置情報、ブロックの消費電流値を含む前記半導体装置の設計情報を入力する入力行程と、前記ブロックの物理情報を入力し、該物理情報と前記設計情報に基づいて各ブロックの電源端子における電流消費量の比率を求める行程と、前記電流消費量の比率から各電源端子における電流消費量を求め、該電流消費量と前記電源配線の情報に基づいて作成した電源網から前記電源配線の各部分における電圧値、電流値を算出する算出行程と、前記電圧値、電流値に基づいて前記電源配線の構造を決定する行程とを備えた方法を実行する、記録媒体。

## 詳細な説明

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、半導体装置に用いられた機能ブロックに電源を供給する電源配線を最適化するためのレイアウトデータ作成方法、レイアウトデータ作成装置、及び記録媒体に関するものである。

【0002】近年の半導体装置は、機能の高度化と高集積化が求められている。そのような半導体装置のレイアウト設計は、所定の機能を提供する既存のブロック(以下、機能ブロックという)を用いることにより、機能の高度化に対応している。そのような設計方法において、機能ブロックに必要な十分な電源電圧を供給することができる電源配線のレイアウトが重要となっている。

【0003】その半導体装置のレイアウト設計において、ICチップの電源配線パターンに応じた抵抗値を持つ抵抗素子と、電源配線のノードにおける消費電流値を持つ電流源とからなる電源網を作成する。そして、その電源網を行列式等により解析を行い、その解析結果に基づいて機能ブロックの消費電流量に対応する電源配線の線幅、配線経路を決定するようにしている。しかしながら、機能ブロックには、ライブラリデータに機能ブロック単体の電源網、機能ブロックの外部端子における電流消費量の情報が含まれないものがある。このような機能ブロックは、好適な配線幅を持つ電源配線のレイアウト作成を妨げる。そのため、情報が不足した機能ブロックにおいても、その機能ブロックにおける電流消費量を容易に求め、その消費電流量に適した幅を持つ電源配線の設計が要求されている。

#### 【0004】

【従来の技術】従来、半導体装置に用いられる機能ブロックの各外部端子における電流消費量を求める方法として回路シミュレーションを実施する方法がある。この方法は、先ず、機能ブロックのレイアウトデータからゲート長とゲート幅、電源配線のノード間の配線長に基づく抵抗要素等を抽出し、それらによる等価回路を作成する。次に、等価回路の電氣的な動作をシミュレーションし、そのシミュレーション結果に基づいて外部端子における電流量を求める。その求めた電流量に基づく電源網を作成し、その電源網の解析結果に基づいて電源配線のレイアウトを決定する。

【0005】この方法によると、機能ブロックの電源端子における電流量を正確に求めることができる。しかしながら、このような回路シミュレーションは、実行に長大な時間を要する。そのため、この回路シミュレーションを用いる方法は、高集積化された半導体装置に対して、有効ではない。

【0006】上記の問題を対応して、外部端子に同一値の電流消費比率を設定する方法がある。この方法は、機能ブロックの外部端子、機能ブロックの内部ノードに対して同一の電流消費比率を設定する。その設定した電流消費比率を持つ電源網を作成し、その電源網の解析結果に基づいて電源配線のレイアウトを決定する。この方法によれば、回路シミュレーションを必要としないため、その分だけ設計時間を短縮することができる。

#### 【0007】

【発明が解決しようとする課題】ところで、実際の機能ブロックでは、トランジスタの配置位置により外部端子に対する消費電流量にバラツキが生じる。しかしながら、上記の同一の電流消費比率を設定する方法では、この消費電流量のバラツキによる影響が電源網の解析結果に反映されない。そのため、この方法では、実際に機能ブロックが必要とする電流量に基づく電源配線のレイアウトを決定することができないという問題がある。

【0008】本発明は上記問題点を解決するためになされたものであって、その目的は、機能ブロックに適した電源配線のレイアウトデータを短時間で作成することができるレイアウトデータ作成方法、レイアウトデータ作成装置、及びその方法を実現するプログラムデータを記録した記録媒体を提供することにある。

#### 【0009】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明は、半導体装置の外部電源端子から該半導体装置を構成するブロックの電源端子に電源電圧を供給する外部電源配線の構造を決定するためのレイアウトデータ作成方法であって、前記半導体装置のレイアウトデータから、前記電源配線の情報、ブロックの配置情報、ブロックの消費電流値を含む前記半導体装置の設計情報を入力する入力行程と、前記ブロックの物理情報を入力し、該物理情報と前記設計情報に基づいて各ブロックの電源端子における電流消費量の比率を求める行程と、前記電流消費量の比率から各電源端子における電流消費量を求め、該



電流消費量と前記電源配線の情報に基づいて作成した電源網から前記電源配線の各部分における電圧値、電流値を算出する算出行程と、前記電圧値、電流値に基づいて前記電源配線の構造を決定する行程とを含む。

【0010】請求項2に記載の発明は、請求項1に記載のレイアウトデータ作成方法において、前記各電源端子における電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから該各電源端子の幅のデータを抽出する工程と、前記各電源端子の幅のデータに基づいて、該各幅の比率を前記各電源端子における電流消費量の比率に設定する工程とを備えた。

【0011】請求項3に記載の発明は、請求項1に記載のレイアウトデータ作成方法において、前記各電源端子における電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから該各電源端子から延びる内部配線のデータを抽出する工程と、前記ブロックのレイアウトデータ及び前記ブロックの各トランジスタにおける動作率のデータの少なくとも1つから電源の種類毎の前記各電源端子に対応する電流消費量の比率を求める工程と、前記内部配線のデータ及び前記各電源端子に対応する電流消費量の比率に基づいて、電源の種類毎に該内部配線の電源網を含むブロックの等価回路を作成する工程と、前記等価回路から該各電源端子における前記電流消費量の比率を求める工程とを備えた。

【0012】請求項4に記載の発明は、請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータの内部配線のデータから該各内部配線の幅のデータを抽出する工程と、前記各内部配線の幅のデータに基づいて、該各幅の比率を該各電源端子に対応する電流消費量の比率に設定する工程とを備えた。

【0013】請求項5に記載の発明は、請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータの内部配線のデータから該各内部配線の面積のデータを抽出する工程と、前記各内部配線の面積のデータに基づいて、該各面積の比率を該各電源端子に対応する電流消費量の比率に設定する工程とを備えた。

【0014】請求項6に記載の発明は、請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから前記各内部配線と各トランジスタとを接続するコンタクトの個数のデータを抽出する工程と、前記コンタクトの個数のデータに基づいて、前記各電源端子に対応する該コンタクトの総個数の比率を同各電源端子に対応する電流消費量の比率に設定する工程とを備えた。

【0015】請求項7に記載の発明は、請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから前記各内部配線と各トランジスタとを接続するコンタクトの面積のデータを抽出する工程と、前記コンタクトの面積のデータに基づいて、前記各電源端子に対応する該コンタクトの総面積の比率を同各電源端子に対応する電流消費量の比率に設定する工程とを備えた。

【0016】請求項8に記載の発明は、請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから前記各内部配線に接続される前記各トランジスタのゲート幅のデータを抽出する工程と、前記各トランジスタのゲート幅のデータに基づいて、前記各電源端子に対応する各トランジスタのゲート幅の総和の比率を同各電源端子に対応する電流消費量の比率に設定する工程とを備えた。

【0017】請求項9に記載の発明は、請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから前記各内部配線に接続される前記各トランジスタのゲート長のデータを抽出する工程と、前記各トランジスタのゲート長のデータに基づいて、前記各電源端子に対応する各トランジスタのゲート長の相関値の総和の比率を同各電源端子に対応する電流消費量の比率に設定する工程とを備えた。

【0018】請求項10に記載の発明は、請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックの各トランジスタにおける動作率のデータに基づいて、前記各電源端子に対応する各トランジスタの動作率の総和の比率を同各電源端子に対応する電流消費量の比率に設定する工程である。

【0019】請求項11に記載の発明は、請求項3に記載のレイアウトデータ作成方法において、前記各電源端子に対応する電流消費量の比率を求める工程は、前記ブロックのレイアウトデータから、前記各内部配線に接続される前記各トランジスタのゲート幅のデータ及びゲート長のデータの少なくとも1つを抽出する工程と、前記各トランジスタのゲート幅のデータ、前記各ト

ランジスタのゲート長のデータの相関値及び前記各トランジスタにおける動作率のデータの内の少なくとも2つを、各トランジスタ毎に掛算して、各トランジスタの電流消費量の比率を求める工程と、前記各電源端子に対応するトランジスタの電流消費量の比率の総和の比率を各電源端子に対応する電流消費量の比率に設定する工程とを備えた。

【0020】請求項12に記載の発明は、半導体装置の外部電源端子から該半導体装置を構成するブロックの電源端子に電源電圧を供給する外部電源配線の構造を決定するためのレイアウトデータ作成装置であって、前記半導体装置のレイアウトデータから、前記電源配線の情報、ブロックの配置情報、ブロックの消費電流値を含む前記半導体装置の設計情報を入力する設計情報入力手段と、前記ブロックの物理情報を入力し、該物理情報と前記設計情報に基づいて各ブロックの電源端子における電流消費量の比率を求める第1の比率算出手段と、前記電流消費量の比率から各電源端子における電流消費量を求め、該電流消費量と前記電源配線の情報に基づいて作成した電源網から前記電源配線の各部分における電圧値、電流値を算出する電源網解析手段と、前記電圧値、電流値に基づいて前記電源配線の構造を決定する電源構造決定手段とを備えた。

【0021】請求項13に記載の発明は、請求項12に記載のレイアウトデータ作成装置において、前記第1の比率算出手段は、前記ブロックのレイアウトデータから該各電源端子の幅のデータを抽出する第1の抽出手段と、前記各電源端子の幅のデータに基づいて、該各幅の比率を前記各電源端子における電流消費量の比率に設定する第2の比率算出手段とを備えた。

【0022】請求項14に記載の発明は、請求項12に記載のレイアウトデータ作成装置において、前記第1の比率算出手段は、前記ブロックのレイアウトデータから該各電源端子から延びる内部配線のデータを抽出する第2の抽出手段と、前記ブロックのレイアウトデータ及び前記ブロックの各トランジスタにおける動作率のデータの少なくとも1つから電源の種類毎の前記各電源端子に対応する電流消費量の比率を求める第3の比率算出手段と、前記内部配線のデータ及び前記各電源端子に対応する電流消費量の比率に基づいて、電源の種類毎に該内部配線の電源網を含むブロックの等価回路を作成する等価回路作成手段と、前記等価回路から該各電源端子における前記電流消費量の比率を求める第4の比率算出手段とを備えた。

【0023】請求項15に記載の発明は、請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータの内部配線のデータから該各内部配線の幅のデータを抽出する第3の抽出手段と、前記各内部配線の幅のデータに基づいて、該各幅の比率を該各電源端子に対応する電流消費量の比率に設定する第5の比率算出手段とを備えた。

【0024】請求項16に記載の発明は、請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータの内部配線のデータから該各内部配線の面積のデータを抽出する第4の抽出手段と、前記各内部配線の面積のデータに基づいて、該各面積の比率を該各電源端子に対応する電流消費量の比率に設定する第6の比率算出手段とを備えた。

【0025】請求項17に記載の発明は、請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから前記各内部配線と各トランジスタとを接続するコンタクトの個数のデータを抽出する第5の抽出手段と、前記コンタクトの個数のデータに基づいて、前記各電源端子に対応する該コンタクトの総個数の比率を同各電源端子に対応する電流消費量の比率に設定する第7の比率算出手段とを備えた。

【0026】請求項18に記載の発明は、請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから前記各内部配線と各トランジスタとを接続するコンタクトの面積のデータを抽出する第6の抽出手段と、前記コンタクトの面積のデータに基づいて、前記各電源端子に対応する該コンタクトの総面積の比率を同各電源端子に対応する電流消費量の比率に設定する第8の比率算出手段とを備えた。

【0027】請求項19に記載の発明は、請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから前記各内部配線に接続される前記各トランジスタのゲート幅のデータを抽出する第7の抽出手段と、前記各トランジスタのゲート幅のデータに基づいて、前記各電源端子に対応する各トランジスタのゲート幅の総和の比率を同各電源端子に対応する電流消費量の比率に設定する第9の比率算出手段とを備えた。

【0028】請求項20に記載の発明は、請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから前記各内部配線に接続される前記各トランジスタのゲート長のデータを抽出する第8の抽出手段と、前記各トランジスタ



タのゲート長のデータに基づいて、前記各電源端子に対応する各トランジスタのゲート長の相関値の総和の比率を同各電源端子に対応する電流消費量の比率に設定する第10の比率算出手段とを備えた。

【0029】請求項21に記載の発明は、請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックの各トランジスタにおける動作率のデータに基づいて、前記各電源端子に対応する各トランジスタの動作率の総和の比率を同各電源端子に対応する電流消費量の比率に設定する第11の比率算出手段である。

【0030】請求項22に記載の発明は、請求項14に記載のレイアウトデータ作成装置において、前記第3の比率算出手段は、前記ブロックのレイアウトデータから、前記各内部配線に接続される前記各トランジスタのゲート幅のデータ及びゲート長のデータの少なくとも1つを抽出する第9の抽出手段と、前記各トランジスタのゲート幅のデータ、前記各トランジスタのゲート長のデータの相関値及び前記各トランジスタにおける動作率のデータの内の少なくとも2つを、各トランジスタ毎に掛算して、各トランジスタの電流消費量の比率を求める第12の比率算出手段と、前記各電源端子に対応するトランジスタの電流消費量の比率の総和の比率を各電源端子に対応する電流消費量の比率に設定する第13の比率算出手段とを備えた。

【0031】請求項23に記載の発明は、半導体装置の外部電源端子から該半導体装置を構成するブロックの電源端子に電源電圧を供給する外部電源配線の構造を決定するためのコンピュータ読み取り可能なプログラムコードが記録された記録媒体であって、前記プログラムは、前記半導体装置のレイアウトデータから、前記電源配線の情報、ブロックの配置情報、ブロックの消費電流値を含む前記半導体装置の設計情報を入力する入力行程と、前記ブロックの物理情報を入力し、該物理情報と前記設計情報に基づいて各ブロックの電源端子における電流消費量の比率を求める行程と、前記電流消費量の比率から各電源端子における電流消費量を求め、該電流消費量と前記電源配線の情報に基づいて作成した電源網から前記電源配線の各部分における電圧値、電流値を算出する算出行程と、前記電圧値、電流値に基づいて前記電源配線の構造を決定する行程とを備えた方法を実行する、記録媒体である。

【0032】(作用)従って、請求項1、12に記載の発明によれば、ブロックのレイアウトデータから該各電源端子における電流消費量の比率が電源の種類毎に求められ、その電流消費量の比率と、該ブロック全体の電流消費値のデータとから該各電源端子における電流消費量が求められる。各電源端子における電流消費量と、電源配線のレイアウトデータとから電源網が作成され、その電源網の解析により電源配線の各部分における電流値、電圧値が算出される。その電流値、電圧値に基づいて、最適な電源配線の構造が決定される。

【0033】請求項2、13に記載の発明によれば、各電源端子における電流消費量の比率は、ブロックのレイアウトデータから該各電源端子の幅のデータが抽出され、その各電源端子の幅のデータに基づいて、該各幅の比率に設定される。

【0034】請求項3、14に記載の発明によれば、ブロックのレイアウトデータから該各電源端子から延びる内部配線のデータが抽出される。ブロックのレイアウトデータ及びブロックの各トランジスタにおける動作率のデータの少なくとも1つから電源の種類毎の各電源端子に対応する電流消費量の比率が求められる。内部配線のデータ及び各電源端子に対応する電流消費量の比率に基づいて、電源の種類毎に該内部配線の電源網を含むブロックの等価回路が作成される。そして、各電源端子における電流消費量の比率は、各等価回路から求められる。

【0035】請求項4、15に記載の発明によれば、各電源端子に対応する電流消費量の比率は、ブロックのレイアウトデータの内部配線のデータから該各内部配線の幅のデータが抽出され、その各内部配線の幅のデータに基づいて、該各幅の比率に設定される。

【0036】請求項5、16に記載の発明によれば、各電源端子に対応する電流消費量の比率は、ブロックのレイアウトデータの内部配線のデータから該各内部配線の面積のデータが抽出され、その各内部配線の面積のデータに基づいて、該各面積の比率に設定される。

【0037】請求項6、17に記載の発明によれば、各電源端子に対応する電流消費量の比率は、ブロックのレイアウトデータから各内部配線と各トランジスタとを接続するコンタクトの個数のデータが抽出され、そのコンタクトの個数のデータに基づいた各電源端子に対応する該コンタクトの総個数の比率に設定される。

【0038】請求項7、18に記載の発明によれば、各電源端子に対応する電流消費量の比率は、ブロックのレイアウトデータから各内部配線と各トランジスタとを接続するコンタクトの面積のデータが抽出され、そのコンタクトの面積のデータに基づいた各電源端子に対応する該コンタクトの総面積の比率に設定される。

【0039】請求項8、19に記載の発明によれば、各電源端子に対応する電流消費量の比率は、ブロックのレイアウトデータから各内部配線に接続される各トランジスタのゲート幅のデー

タが抽出され、その各トランジスタのゲート幅のデータに基づいた各電源端子に対応する各トランジスタのゲート幅の総和の比率に設定される。

【0040】請求項9、20に記載の発明によれば、各電源端子に対応する電流消費量の比率は、ブロックのレイアウトデータから各内部配線に接続される各トランジスタのゲート長のデータが抽出され、その各トランジスタのゲート長のデータに基づいて、各電源端子に対応する各トランジスタのゲート長と消費電流値との相関値の総和の比率に設定される。

【0041】請求項10、21に記載の発明によれば、各電源端子に対応する電流消費量の比率は、ブロックの各トランジスタにおける動作率のデータに基づいた各電源端子に対応する各トランジスタの動作率の総和の比率に設定される。

【0042】請求項11、22に記載の発明によれば、ブロックのレイアウトデータから、各内部配線に接続される各トランジスタのゲート幅のデータ及びゲート長のデータの少なくとも1つが抽出される。各トランジスタのゲート幅のデータ、各トランジスタのゲート長のデータの相関値及び各トランジスタにおける動作率のデータの内の少なくとも2つが、各トランジスタ毎に掛算され、各トランジスタの電流消費量の比率が求められる。そして、各電源端子に対応する電流消費量の比率は、該各電源端子に対応するトランジスタの電流消費量の比率の総和の比率に設定される。

【0043】請求項23に記載の発明によれば、最適な電源配線の構造を容易に決定するレイアウトデータ作成方法を実施するためのプログラムを記録した記録媒体が提供される。

【0044】

【発明の実施の形態】(第一実施形態)以下、本発明を具体化した第一実施形態を図1～図12に従って説明する。

【0045】図1は本発明を適用したレイアウトデータ作成装置の概略構成図を示す。レイアウトデータ作成装置1はCAD(Computer Aided Design)装置からなり、中央処理装置(以下、CPUという)2、メモリ3、磁気ディスク4、CRT等の表示器5、及び、キーボード(マウス等を含む)6を含み、それらはシステムバス7により互いに接続されている。CPU2はメモリ3に記憶された所定のプログラムデータに基づいて動作する。

【0046】メモリ3にはCPU2が実行するプログラムデータと、その実行に必要な各種データが予め記憶されるとともに、当該プログラムデータに基づくCPU2の処理結果等が一時格納される。キーボード6はメモリ3に格納されるプログラムの実行に必要なデータの入力や、表示器5や図示しないプリンタ等に処理結果等の出力命令の入力に用いられる。

【0047】磁気ディスク4には、図2に示すファイル11～12が予め格納されている。第1ファイル11には、半導体装置のレイアウトデータが格納されている。このレイアウトデータは、予めフロアプランにおいて作成され、第1ファイル11に格納されている。

【0048】レイアウトデータは、半導体装置を構成する複数のブロック、それらブロックに対して電源電圧を供給する電源配線を含む。この電源配線は、予め設定された線幅を持つ。この線幅は、過去に設計された複数の半導体装置における電源配線の線幅の最小値に基づいて設定された値を持つ。これによりレイアウトデータが作成された半導体装置のチップサイズは、配線幅に冗長を含まないため、最小の面積を持つ。

【0049】第2ファイル12はライブラリであり、設計に使用する複数種類の機能ブロックにおける消費電流値が格納されている。この消費電流値は、所定の電力見積り方法により、各ブロックが提供する機能やゲートレベルの論理情報から、当該機能ブロックにて使用される電源の種類毎に予め求められたものである。

【0050】レイアウトデータ作成装置1のCPU2は、キーボード6の操作によりメモリ3に記憶されたレイアウトデータ作成処理のプログラムが起動されると、図2に示すステップS1～S4における各処理を実行する。

【0051】次に、図2の各ステップS1～S4における処理を説明する。ステップS1は設計情報入力手段であり、図1のCPU2は、第1、第2ファイル11、12から、電源配線の構造決定に必要なデータを入力する。CPU2は、必要なデータとして、第1ファイル11から、電源配線(又は電源母線という)のレイアウト情報、各ブロックの配置情報を入力し、第2ファイル12から各ブロックにおける消費電流値を入力する。

【0052】ステップS2は第1の比率算出手段であり、電流消費比率算出処理である。CPU2は、各ブロックの物理情報を入力し、その物理情報に基づいて各ブロックの電源端子における電流消費比率を算出する。物理情報は、各ブロックを構成する端子、トランジスタ、配線の位置の情報である。CPU2は、物理情報を第1ファイル11のレイアウトデータから入力する。尚、物理情報は、第2ファイル12のライブラリから入力されても良い。

【0053】ステップS3は電源網解析手段であり、CPU2は、半導体装置の電源網を作成し、そ

の電源網に対して所定の行列演算を実施する。この解析処理により、CPU2は、電源配線の各ノードにおける電流値、電圧降下値を得る。

【0054】ステップS4は電源構造決定手段であり、CPU2は、ステップS3において得た電流値、電圧降下値に基づいて、それら値が基準値の範囲から外れた違反箇所を検索する。そして、CPU2は、検索結果に基づいて、違反箇所における電源配線の構造を決定し、その決定した構造に基づいて第1ファイル11の電源配線の配線線幅の変更、配線の追加を行う。

【0055】次に、ステップS1～S4における処理を詳述する。まず、ステップS1における設計情報入力処理を説明する。図3は、設計情報入力処理のフローチャートを示す。ステップS1a～S1cは、図2に示すステップS1のサブステップである。即ち、ステップS1aは電源母線情報入力処理であり、CPU2は、第1ファイル11中のレイアウトデータから、外部電源配線のレイアウト情報を入力する。このレイアウト情報は、電源配線が供給する外部電源電圧の系統、配置位置、配線幅を含む。

【0056】ステップS1bはブロック配置情報入力処理であり、CPU2は、第1ファイル中のレイアウトデータから半導体装置を構成する各ブロックの配置情報を入力する。この配置情報は、ブロックの種類、配置位置を含む。ステップS1cはブロック消費電流値入力処理であり、CPU2は、第2ファイル12中のブロックライブラリから、ステップS1bにおいて入力したブロックの種類に基づいて、各ブロックの消費電力量を入力する。

【0057】次に、ステップS2における電流消費比率算出処理を説明する。図4のステップS2a～S2cは、図2に示すステップS2のサブステップである。即ち、ステップS2aは物理情報入力処理であり、CPU2は、ブロックの物理情報を入力する。この物理情報は、それらのブロックを構成するトランジスタの種類、サイズ、ブロック内部の電源配線の種類、配置位置、外部端子の位置を含む。

【0058】ステップS2bは電源網抽出処理であり、CPU2は、ステップS1において入力した各種の情報から、外部電源配線の電源網を、各電源電圧毎に抽出する。電源網は、外部電源配線に対する等価抵抗と、各ブロックの電流消費量に対応する電流源からなる。等価抵抗は、外部電源配線の端点、交点等のノード間における配線幅、単位抵抗値に基づく抵抗値を持つ。電流源は、各ブロックの電流消費量に対応する値の電流を流すように設定される。

【0059】ステップS2cは電流消費比率抽出処理であり、CPU2は、各ブロックの物理情報に基づいて、各ブロックの外部電源端子における電流消費量比率を抽出する。電流消費量比率は、ブロックに供給される電源電圧毎の消費電流量に対する各電源端子における電流消費量の比率である。これは、CPU2は、各外部端子における電流消費量、即ち各電源端子に対して供給が必要な電流量を比率で求めることにより、各外部端子に対して生じる消費電流量のバラツキを、次の電源網解析処理(ステップS3)に加味する。このことは、各電源端子における消費電流量のバラツキによる影響を電源網の解析結果に反映する。これにより、CPU2は、実際に機能ブロックが必要とする電流量に基づく外部電源配線のレイアウトを決定するわけである。

【0060】次に、ステップS3における電源網解析処理を説明する。図5のステップS3a、S3bは、図2に示すステップS3のサブステップである。即ち、ステップS3aは電流値算出処理であり、CPU2は、各ブロックの内部電源配線のノードにおける電流値を算出する。詳しくは、CPU2は、機能ブロックに供給される電源電圧毎の消費電流値にステップS2cにおいて求めた比率を乗算し、その演算結果を外部端子における電流値に設定する。

【0061】ステップS3bにおいて、CPU2は、上記のステップS3aにおいて外部端子における電流値が設定された電源網における電圧、電流の値を算出する。詳しくは、CPU2は、電源網に対して所定の行列演算を行い、電源網を構成する等価抵抗に流れる電流値、その等価抵抗の両端の電圧値(等価抵抗による電圧降下値)を求める。

【0062】次に、ステップS4における電源母線構造決定処理を説明する。図6のステップS4a、S4bは、図2に示すステップS4のサブステップである。即ち、ステップS4aは違反箇所検索処理であり、CPU2は、予め設定された基準値(基準電圧値、基準電流値)と、図5のステップS3bにおいて求めた電圧、電流の値とを比較する。この基準値は、フロアプランにおいてレイアウトされる外部電源配線の構造、即ち図2の第1ファイル11に格納された処理前のレイアウトデータに含まれる外部電源配線の線幅に対応している。そして、CPU2は、その比較結果に基づいて、外部電源配線のレイアウトにおける基準値違反箇所を検索する。

【0063】ステップS4bは構造変更処理であり、CPU2は、ステップS4aにおける検索結果に基づいて、外部電源配線の構造を変更する。外部電源配線は、線幅、膜厚、配線を形成する層数に基づく構造を持つ。CPU2は、検索結果に基づいて、各外部電源配線の電圧、電流の値に対応して、外部電源配線の線幅、膜厚、層数のうちの少なくとも1つの値を変更する。

【0064】今、外部電源配線の電圧値が基準値よりも大きい場合、CPU2は、その外部電源配線の元の配線幅を、電圧値に対応する配線幅まで広くする。これにより、その外部電源配線は、各ブロックに必要な量の電流を供給可能な構造となる。

【0065】別の例として、外部電源配線における電流密度が基準値を超えている場合、CPU2は、その部分における電流密度が基準値を超えないように、その部分の電源配線の幅を広くする。一方、外部電源配線のある部分における電流密度が基準値に達しない場合、CPU2は、その部分における電流密度が基準値に達するように、その部分の電源配線の幅を狭くする。

【0066】次に、ステップS2cにおける電流消費比率抽出処理を詳述する。図7のステップS11、S12は、図4に示すステップS2cのサブステップである。即ち、ステップS11は第1の抽出手段であって、CPU2は、第1ファイル11のレイアウトデータから、各ブロックの各電源端子の幅のデータを抽出する。ステップS12は第2の比率算出手段であって、CPU2は、抽出したブロックの各電源端子の幅のデータに基づいて、電源の種類(電源電圧VDDと電源電圧VSS)毎に該各幅の比率を電流消費量の比率に設定する。

【0067】図2の第1、第2ファイル11、12には、動作が確認されたブロックの情報が格納されている。即ち、第1、第2ファイル11、12には、各ブロックの動作、電流消費に応じた値を持つデータが格納されている。そして、各ブロックの電源端子は、それらブロック内に含まれるトランジスタ等の部分において消費する電流量等に応じた幅を持つ。従って、各電源端子は、その外部端子を介してブロックに供給される電流量、即ち、各外部端子における電流消費量に対応する幅を持つ。これにより、外部端子における消費電流量のバラツキを見込んだ電源網を作成する訳である。

【0068】図8に示すように、半導体装置21には、複数のブロック22、23が配設される。ブロック22は、図9に示すように、電源電圧VDD用の電源端子T1、T2と、電源電圧VSS用の電源端子T3、T4とを有する。そして、ステップS11では、CPU2は、電源端子T1、T2、T3、T4の幅を抽出する。又、ステップS11では、ブロック23の図示しない各電源端子の幅のデータも同様に抽出する(数値略)。

【0069】尚、図8では、半導体装置21の外部電源端子24からブロック22、23に電源電圧VDDを供給する外部電源配線のみを示し、電源電圧VSSを供給する外部電源配線を省略してある。

【0070】今、ブロック22において、電源端子T1～T4の幅がそれぞれ600、1000、600、600である。CPU2は、これらの値を抽出する。そして、CPU2は、電源電圧の種類毎に、抽出した配線幅の合計値を算出する。更に、CPU2は、算出した合計値に対する各電源端子T1～T4の幅の比率を算出する。そして、CPU2は、算出した各電源端子T1～T4の幅の比率を、各電源端子T1～T4における電流消費量の比率に設定する。

【0071】即ち、ブロック22においては、図10に示すように、電源端子T1、T2の幅の比率 $600/1600$ 、 $1000/1600$ を電源電圧VDD用の電源端子T1、T2における電流消費量の比率に設定する。又、電源端子T3、T4の幅の比率 $600/1200$ 、 $600/1200$ を電源電圧VSS用の電源端子T3、T4における電流消費量の比率に設定する。又、CPU2は、ブロック23に対して同様に処理を行ない、各電源端子における電流消費量の比率を設定する(数値略)。

【0072】次に、図2のステップS2、S3における処理を説明する。上記のようにして設定された電流消費量の比率に基づいて、CPU2は、各電源端子における電流消費量を設定する(ステップS3a)。

【0073】今、ブロック22において電源電圧VDD、VSSに対する全体の電流消費量がY、Zである。CPU2は、電源電圧VDDの電源端子T1、T2における電流消費量の比率( $600/1600$ 、 $1000/1600$ )と電流消費量Yを乗算した結果( $(600/1600) \times Y$ 、 $(1000/1600) \times Y$ )を、各電源端子T1、T2における電流消費量に設定する。同様に、CPU2は、電源電圧VSSの電源端子T3、T4における電流消費量の比率( $600/1200$ 、 $600/1200$ )と電流消費量Zを乗算した結果( $(600/1200) \times Z$ 、 $(600/1200) \times Z$ )を、各電源端子T3、T4における電流消費量に設定する。更に、CPU2は、ブロック23に対して同様に処理を行ない、ブロック23の電源端子における電流消費量を設定する(数値略)。

【0074】次に、CPU2は、設定した各電源端子における電流消費量に基づいて電源網を解析し、各ノードにおける電圧値、電流量を求める(ステップS3b)。今、図4のステップS2bにおいて、図8に示す半導体装置21のレイアウトデータから、図11に示す電源網が抽出されている。この電源網は、各ブロック22、23に電源電圧VDDを供給する電源配線の等価抵抗R1～R17、ブロック22の電源端子T1、T2における電流消費量( $(600/1600) \times Y$ 、 $(1000/1600) \times Y$ )を持つ電流源、及びブロック23の電源端子における電流消費量を持つ電流源(符号、数値

略)を含む。

【0075】CPU2は、この電源網に対して所定の行列演算を行い、その結果に基づいて各等価抵抗R1～R17の間のノードにおける電圧値、各等価抵抗R1～R17に流れる電流値を得る。そして、CPU2は、各ノードN1～N11における電圧値から、各等価抵抗R1～R17、即ち電源電圧VDDのための電源配線の各部分における電圧降下値を得る。更に、CPU2は、各等価抵抗R1～R17に流れる電流値から、電源配線の各部分における電流密度を得る。尚、図示しないが、CPU2は、電源電圧VSSの電源配線に対して同様に処理を行い、その電源配線の各部分における電圧降下値、電流密度を得る。

【0076】次に、CPU2は、求めた電圧降下値、電流密度に基づいて、基準値違反箇所を検索する(ステップS4a)。そして、CPU2は、検索結果に基づいて、違反箇所の電源配線の構造を、その電源配線における電圧降下値、電流密度に基づいて変更する(ステップS4b)。

【0077】今、図11の電源網において、等価抵抗R4における電流密度が基準値を超えている。この場合、CPU2は、その等価抵抗R4に対応する外部電源配線A1(図12参照)の配線幅を電流密度に対応する値に変更する。これにより、外部電源配線A1の電流密度を基準値まで低くする。

【0078】また、別の例として、ノードN7における電圧値が基準値より低い。これは、外部電源端子24からノードN7までの経路、即ち、抵抗R6、R8、R17における電圧降下値が基準値よりも大きいことを意味する。この場合、CPU2は、ノードN7における電圧値が基準値となるように、そのノードN7までの経路、即ち図12に示す外部電源配線A2の配線幅を広くする。

【0079】以上記述したように、第一実施形態によれば、以下の効果を奏する。

(1) 先ず、ブロックのレイアウトデータから求めた各ブロックの各電源端子における電流消費の比率と、ブロック全体の電流消費量とから各電源端子における電流消費量を求める。次に、各電源端子における電流消費量と、外部電源配線のレイアウトデータから抽出した電源網を作成し、その電源網を解析して外部電源配線の各部分における電流密度及び電圧値を算出する。そして、その電流密度及び電圧値に基づいて、外部電源配線の構造を決定するようにした。これにより、各電源端子における電流消費量を得るための時間が、従来技術で記載したシミュレーションを用いた方法に比べて短くなり、短時間で外部電源配線のレイアウトデータを作成することができる。又、各電源端子における電流消費量は、従来の各電源端子に同一の電流消費量値を設定する方法に比べてほぼ正確な値となり、それにより作成される外部電源配線のレイアウトデータは各電源端子の電流消費量に適した構造となる。即ち、短時間で最適な外部電源配線のレイアウトデータを作成することができる。その結果、短い設計期間で、ICチップのチップサイズを必要最小限に抑えることができ、それらのコストを低減することができる。

【0080】(2) 半導体装置21の外部電源配線幅を、過去に作成した半導体装置に含まれる配線幅の最小値とした。従って、CPU2は、基準値違反箇所として検索した外部電源配線の幅を広くするように変更する。即ち、CPU2は、半導体装置21の外部電源配線の構造を、半導体装置21のチップサイズを大きくする方向にのみ変更する。これにより、配線幅の縮小にともなう冗長な領域の作成が防がれるため、短時間でチップサイズの小さな半導体装置のレイアウトデータを作成することができる。

【0081】(3) ブロックのレイアウトデータからブロックの各電源端子の幅のデータを抽出し、電源の種類毎に求めた電源端子幅の比率を各電源端子における電流消費量の比率とした。各電源端子の幅がその端子を介して電流を消費するトランジスタ等の部分に供給する電流量に応じて設計されている。これにより、上記のように電流消費量の比率は、電流を消費する部分に対応して略正確な値となる。従って、精度の高い電流消費量の比率を極めて短時間で求めることができる。

【0082】(第二実施形態) 以下、本発明を具体化した第二実施形態を図13～図16に従って説明する。尚、本実施形態において、第一実施形態と同様の構成については同じ符号を付し、図面及び詳細な説明を省略する。

【0083】本実施形態では、図4のステップS2cにおいてブロックの各電源端子における電流消費量の比率を求める処理、即ち図7のステップS11、S12の処理が、図13、14に示す処理に置き換えられている。従って、これら図13、14における処理についてのみ詳細に説明する。

【0084】図2のCPU2は、図13、14に示すステップS21～S24、S31、S32の処理を実施し、ブロックの電源端子における電流消費量の比率を設定する。即ち、ステップS21は第2の抽出手段であって、CPU2は、第1ファイル11に含まれるブロックのレイアウトデータから、ブロックの内部電源配線のデータを抽出する。尚、内部電源配線のデータとは、各電源端子が



ら延びる各内部電源配線のデータであって、各内部電源配線の幅や長さ等の情報を含む。  
 【0085】今、図15に示すブロック31は、電源電圧VDDのための内部電源配線U1、U2と、電源電圧VSSのための内部電源配線U3、U4を含む。第1内部電源配線U1は、端部に電源端子T5、T6を有する。同様に、第2から第4内部電源配線U2～U4は、それぞれ端部に電源端子T7、T8、T9、T10、T11、T12を有する。各内部電源配線U1、U2、U3、U4は、同じ長さ(=100)を持ち、それぞれ20、8、15、12の幅を持つ。CPU2は、これら内部電源配線U1～U4を抽出する。

【0086】次に、ステップS22は、第3の比率算出手段であって、CPU2は、ブロックのレイアウトデータから各電源端子に対応する電流消費量の比率を電源の種類毎に求める。このステップS22において、CPU2は、図14に示すステップS31、S32における処理を実行する。即ち、ステップS31、S32は、ステップS22のサブステップである。

【0087】そのステップS31は第3の抽出手段であって、CPU2は、ステップS21において抽出した内部電源配線のデータの内、各内部電源配線の幅のデータを抽出する。次に、ステップS32は第5の比率算出手段であって、CPU2は、抽出したブロックの各内部電源配線の幅のデータに基づいて、電源の種類(電源電圧VDDと電源電圧VSS)毎に該各幅の比率を各内部電源配線に対応する電流消費量の比率とする。

【0088】図15、16に従って詳述すれば、CPU2は、ブロック31内の内部電源配線U1、U2、U3、U4の幅(20、8、15、12)をそれぞれ抽出し、各電源系統VCC、VSS毎に幅の総和(28、27)を算出する(ステップS31)。CPU2は、図16に示すように、総和に対する内部電源配線U1の幅の比率( $20/28$ )を演算し、その値を内部電源配線U1における電流消費量比率に設定する。CPU2は、内部電源配線U2の幅の比率( $8/28$ )を演算し、その値を内部電源配線U2における電流消費量比率に設定する。同様に、CPU2は、総和に対する内部電源配線U3、U4の幅の比率( $15/27$ 、 $12/27$ )を演算し、それらの値を内部電源配線U3、U4における電流消費量比率にそれぞれ設定する。

【0089】次に、ステップS23は、等価回路作成手段であって、CPU2は、内部電源配線のデータ及び各内部電源配線に対応する電流消費量の比率に基づいて、電源の種類毎に、ブロックの電源網を作成する。

【0090】今、図16に示すように、ブロック31に含まれる内部電源配線U1、U2の幅がそれぞれ20、8であり、内部電源配線U1、U2の長さが共に100である。これらを使用して、CPU2は、内部電源配線U1、U2の等価抵抗R21～R24と、該内部電源配線U1、U2の電流消費量の比率に応じた電流値を持つ電流源からなる電源網を作成する。等価抵抗R21～R24は、内部電源配線U1、U2の幅、長さに基づいて公知の抵抗網抽出処理により算出した抵抗値を持つ。尚、本実施形態では、電流消費量の比率 $20/28$ 、 $8/28$ を持つ電流源を、対応する内部電源配線U1、U2の中心に接続したように仮定して電源網を作成するため、抵抗要素R21と抵抗要素R22、抵抗要素R23と抵抗要素R24はそれぞれ同一の抵抗値とする。これは、電源端子T5、T6における電流消費量の差(バラツキ)、電源端子T7、T8における電流消費量のバラツキが、内部電源配線U1、U2の幅、長さからは不明であることによる。

【0091】上記と同様に、CPU2は、ブロック31の電源電圧VSS系統において、内部電源配線U3、U4の等価抵抗R25～R28と、内部電源配線U3、U4の電流消費量の比率に応じた電流値を持つ電流源からなる電源網を作成する。

【0092】次に、ステップS24は、第4の比率算出手段であって、CPU2は、電源網に対して行列演算を行い、各電源端子における電流消費量の比率を求める。例えば、ブロック31においては、図16に示す電源網から各電源端子T5～T12における電流消費量の比率を求める。

【0093】以上記述したように、第二実施形態によれば、以下の効果を奏する。

(1) 第一実施形態における(1)、(2)と同じ効果を奏する。

(2) ブロックのレイアウトデータから、ブロックの内部電源配線のデータを抽出し、同ブロックのレイアウトデータから各電源端子に対応する電流消費量の比率を電源の種類毎に求めた。そして、その各電源端子に対応する電流消費量の比率、及び内部電源配線のデータに基づいて、電源の種類毎に、ブロック内部の電源網を作成し、その電源網から各電源端子における電流消費量の比率を求めた。このように求めた各電源端子における電流消費量の比率は、内部電源配線の抵抗要素を考慮した値となるため、第一実施形態に比べてより正確な値となる。従って、第一実施形態に比べて精度の高い各電源端子における電流消費量の比率を求めることができる。

【0094】(3) ブロックのレイアウトデータの内部電源配線のデータの内、各内部電源配線の幅のデータを抽出し、その抽出した各内部電源配線の幅のデータに基づいて、電源の種類(電源電圧VDDと電源電圧VSS)毎に該各幅の比率を各電源端子に対応する電流消費量の比率



とした。このように求めた各電源端子に対応する電流消費量の比率は、各内部電源配線の幅がその配線を通れる電流量に応じて設計されていることから、略正確な値となる。従って、精度の高い各電源端子に対応する電流消費量の比率を短時間で求めることができる。

【0095】(4)ステップS23では、電流消費量の比率 $20/28$ 、 $8/28$ 、 $15/27$ 、 $12/27$ を持つ電流源を、対応する内部電源配線U1、U2、U3、U4の中心に接続したように仮定してブロック31の各電源網を作成した。即ち、実際に電流を消費する各トランジスタの位置を内部電源配線U1、U2、U3、U4の中心として、ブロック31の各電源網の作成を容易にした。従って、ブロックの電源網を短時間で作成することができる。

【0096】尚、上記各実施形態は、以下のように変更してもよい。

・図14のステップS31、S32において、ブロックの物理情報として内部電源配線U1～U4の幅に基づいて各電源端子に対応する電流消費量の比率を設定するようにしたが、その他の物理情報に基づいて電源端子における電流消費量の比率を設定するようにしても良い。

【0097】・1つの例として、物理情報として内部電源配線の面積を用いた場合の処理を図17に示す。CPU2は、図14のステップS31、S32に代えて、図17のステップS41、S42における処理を実行する。即ち、これらステップS41、S42は、図13のステップS22のサブステップである。

【0098】ステップS41は第4の抽出手段であって、CPU2は、ブロックのレイアウトデータの内部電源配線のデータの内、各内部電源配線の面積のデータを抽出する。ステップS42は第6の比率算出手段であって、CPU2は、抽出したブロックの各内部電源配線の面積のデータに基づいて、電源の種類(電源電圧VDDと電源電圧VSS)毎に求めた面積の比率を、各電源端子に対応する電流消費量の比率に設定する。

【0099】今、ブロック31においては、電源電圧VDDのための内部電源配線U1、U2の面積が、それぞれ2000、800である。CPU2は、これら内部電源配線U1～U4の面積を抽出する。そして、CPU2は、内部電源配線U1、U2の幅の比率 $2000/2800$ 、 $800/2800$ を演算し、それら演算結果を電源電圧VDD用の電源端子T5、T6の組、電源端子T7、T8の組に対する電流消費量の比率に設定する。同様に、CPU2は、電源電圧VSSのための内部電源配線U3、U4の面積(1500、1200)を抽出し、それらの比率( $1500/2700$ 、 $1200/2700$ )を、電源端子T9、T10の組、電源端子T11、T12の組に対応する電流消費量の比率に設定する。

【0100】このように求めた各電源端子に対応する電流消費量の比率は、各内部電源配線の面積がその配線を通れる電流量に応じて設計されていることから、略正確な値となる。従って、精度の高い各電源端子に対応する電流消費量の比率を短時間で求めることができる。

【0101】・別の例として、物理情報として内部電源配線とトランジスタを接続するコンタクトの数を用いた場合を図18に示す。CPU2は、図14のステップS31、S32に代えて、図18のステップS51、S52における処理を実行する。即ち、これらステップS51、S52は、図13のステップS22のサブステップである。

【0102】ステップS51は第5の抽出手段であって、CPU2は、ブロックのレイアウトデータから各内部電源配線と各トランジスタとを接続するコンタクトの個数のデータを抽出する。次に、ステップS52は第7の比率算出手段であって、CPU2は、抽出したコンタクトの個数のデータに基づいて、各電源端子に対応するコンタクトの総個数の比率を、各電源端子に対応する電流消費量の比率に設定する。

【0103】今、図19に示すブロック41は、内部電源配線U5、U6、MOSTランジスタTr1、Tr2、Tr3、Tr4を含む。内部電源配線U5、U6は、電源電圧VDD用の電源端子T13～T16を有する。内部電源配線U5には、コンタクト42を介してトランジスタTr1、Tr2が接続される。内部電源配線U6には、コンタクト43を介してトランジスタTr3、Tr4が接続される。CPU2は、コンタクト42の数(=12)と、コンタクト43の数(=9)を抽出する。CPU2は、内部電源配線U5、U6に対応して求めたコンタクト42、43の総個数の比率 $12/21$ 、 $9/21$ を、電源電圧VDD用の電源端子T13、T14の組、電源端子T15、T16の組に対応する電流消費量の比率に設定する。尚、電源電圧VSS用等の電源端子については、電源電圧VDDIに対する処理と同じであるため、図面及び説明を省略する。

【0104】このように求めた各電源端子に対応する電流消費量の比率は、内部電源配線とトランジスタとを接続するコンタクトの個数が該トランジスタの消費する電流量に応じて設定されていることから、略正確な値となる。従って、精度の高い各電源端子に対応する電流消費量の比率を短時間で求めることができる。

【0105】・別の例として、物理情報として内部電源配線とトランジスタを接続するコンタクトの面積を用いた場合を図20に示す。CPU2は、図14のステップS31、S32に代えて、図20のステップS61、S62における処理を実行する。即ち、これらステップS61、S62は、図13のステ

ップS22のサブステップである。

【0106】ステップS61は第6の抽出手段であって、CPU2は、ブロックのレイアウトデータから各内部電源配線と各トランジスタとを接続するコンタクトの面積のデータを抽出する。次に、ステップS62は第8の比率算出手段であって、CPU2は、抽出したコンタクトの面積のデータに基づいて、各電源端子に対応するコンタクトの総面積の比率を、各電源端子に対応する電流消費量の比率に設定する。

【0107】今、図19に示すブロック41において、内部電源配線U5とトランジスタTr1、Tr2とを接続するコンタクト42の総面積がP1、内部電源配線U6とトランジスタTr3、Tr4とを接続するコンタクト43の総面積がP2である。CPU2は、これら総面積P1、P2を抽出し、内部電源配線U5、U6に対応するコンタクト42、43の総面積の比率 $P1/(P1+P2)$ 、 $P2/(P1+P2)$ を、電源電圧VDD用の電源端子T13、T14の組、電源端子T15、T16の組に対応する電流消費量の比率に設定する。尚、電源電圧VSS用等の電源端子については、電源電圧VDDに対する処理と同じであるため、図面及び説明を省略する。

【0108】このように求めた各電源端子に対応する電流消費量の比率は、内部電源配線とトランジスタとを接続するコンタクトの面積が該トランジスタの消費する電流量に応じて設定されていることから、略正確な値となる。従って、精度の高い各電源端子に対応する電流消費量の比率を短時間で求めることができる。

【0109】別の例として、物理情報として内部電源配線に接続されるMOSTランジスタのゲート幅を用いた場合を図21に示す。CPU2は、図14のステップS31、S32に代えて、図21のステップS71、S72における処理を実行する。即ち、これらステップS71、S72は、図13のステップS22のサブステップである。

【0110】ステップS71は第7の抽出手段であって、CPU2は、ブロックのレイアウトデータから各内部電源配線に接続される各トランジスタのゲート幅のデータを抽出する。次に、ステップS72は第9の比率算出手段であって、CPU2は、抽出した各トランジスタのゲート幅のデータに基づいて、各電源端子に対応する各トランジスタのゲート幅の総和の比率を各電源端子に対応する電流消費量の比率とする。

【0111】今、図22のブロック51は、内部電源配線U7に接続されたPチャネルMOSTランジスタPa、Pb、内部電源配線U8に接続されたPMOSTランジスタPc、内部電源配線U9に接続されたNチャネルMOSTランジスタNa、Nb、内部電源配線U10に接続されたNMOSTランジスタNc、Ndを含む。各内部電源配線U7～U10は、外部端子T17～T24を備える。各トランジスタPa～Pc、Na～Ndは、それぞれゲート幅(150,110,150,90,110,110,110)を持つ。これらゲート幅は、各トランジスタPa～Pc、Na～Ndに流れる電流、即ち電流消費量に対応する。

【0112】CPU2は、各トランジスタPa、Pb、Pcのゲート幅の総和の比率( $260/410$ 、 $150/410$ )を、内部電源配線U7、U8に対応する電流消費量の比率に設定する。同様に、CPU2は、各トランジスタNa～Ndのゲート幅に基づいて、内部電源配線U9、U10に対応する電流消費量の比率に設定する。

【0113】このように求めた各電源端子に対応する電流消費量の比率は、トランジスタのゲート幅が該トランジスタの消費する電流量と対応していることから、略正確な値となる。従って、精度の高い各電源端子に対応する電流消費量の比率を短時間で求めることができる。

【0114】別の例として、物理情報として内部電源配線に接続されるMOSTランジスタのゲート長を用いた場合を図23に示す。CPU2は、図14のステップS31、S32に代えて、図23のステップS81、S82における処理を実行する。即ち、これらステップS81、S82は、図13のステップS22のサブステップである。

【0115】ステップS81は第8の抽出手段であって、CPU2は、ブロックのレイアウトデータから各内部電源配線に接続される各トランジスタのゲート長のデータを抽出する。次に、ステップS82は第10の比率算出手段であって、CPU2は、抽出した各トランジスタのゲート長のデータに基づいて、各電源端子に対応する各トランジスタのゲート長の相関値の総和の比率を各電源端子に対応する電流消費量の比率とする。尚、本実施形態の相関値とは、ゲート長の逆数に所定の係数を掛けた値である。

【0116】今、図18に示すブロック51において、トランジスタPaのゲート長が40であり、トランジスタPb、Pc、Na、Nb、Ncのゲート長が20であり、トランジスタNdのゲート長が30である。CPU2は、これらゲート長を抽出する。次に、CPU2は、電源電圧VDDの系統においては、係数を40として図22に示す各トランジスタPa、Pb、Pcの相関値(1、2、2)を求める。そして、CPU2は、内部電源配線U7、U8に対応する相関値の総和の比率 $3/5$ 、 $2/5$ を、内部電源配線U7、U8に対応する電流消費量の比率に設定する。

【0117】同様に、CPU2は、電源電圧VSSの系統における各トランジスタNa, Nb, Nc, Ndの相関値(2.2,2.1,3)を求め、それらによる内部電源配線U9, U10に対応する相関値の総和の比率(4/7.3,3.3/7.3)を、内部電源配線U7, U8の電流消費量の比率に設定する。CPU2は、同様にして求めた相関値の総和の比率を、内部配線U9, U10の電流消費量比率に設定する。

【0118】このように求めた各電源端子に対応する電流消費量の比率は、トランジスタのゲート長の相関値が該トランジスタの消費する電流量と対応していることから、略正確な値となる。従って、精度の高い各電源端子に対応する電流消費量の比率を短時間で求めることができる。

【0119】別の例として、物理情報として内部電源配線に接続されるMOSTランジスタの動作率データを用いた場合を図24に示す。CPU2は、図14のステップS31, S32に代えて、図24のステップS91における処理を実行する。即ち、このステップS91は、図13のステップS22のサブステップである。ステップS91は第11の比率算出手段であって、CPU2は、図2の第2ファイル12に格納されたライブラリデータから、ブロックの各内部電源配線に接続されたトランジスタの動作率データを抽出する。そして、CPU2は、それら動作率の総和の比率を、各内部電源配線に対応する電流消費量の比率に設定する。尚、各トランジスタの動作率データは、ブロックにおける各トランジスタの動作時間の比率であって、各ブロックのレイアウトデータと共に提供されるデータである。今、図22に示すように、電源電圧VDDの内部電源配線U7, U8に接続されたトランジスタPa, Pb, Pcの動作率がそれぞれ9, 12, 9である。この場合、CPU2は、内部電源配線U7, U8に対応する各トランジスタの動作率の総和の比率 $21/30$ ,  $9/30$ を、内部電源配線U7, U8に対応する電流消費量の比率に設定する。同様に、電源電圧VSSの内部電源配線U9, U10に接続されたトランジスタNa, Nb, Nc, Pdの動作率がそれぞれ3, 8, 0, 10である。この場合、CPU2は、内部電源配線U9, U10に対応する各トランジスタの動作率の総和の比率 $11/21$ ,  $10/21$ を、各内部電源配線U9, U10に対応する電流消費量の比率に設定する。

【0120】このように求めた各電源端子に対応する電流消費量の比率は、トランジスタの動作率が該トランジスタの消費する電流量と対応していることから、略正確な値となる。従って、精度の高い各電源端子に対応する電流消費量の比率を短時間で求めることができる。

【0121】別の例として、物理情報として内部電源配線に接続されるMOSTランジスタのゲート長、ゲート幅、動作率データを用いた場合を図25に示す。CPU2は、図14のステップS31, S32に代えて、図25のステップS101~104における処理を実行する。即ち、これらステップS101~104は、図13のステップS22のサブステップである。

【0122】ステップS101は第9の抽出手段を構成し、CPU2は、ブロックのレイアウトデータから、各内部電源配線に接続される各トランジスタのゲート幅のデータを抽出する。次に、ステップS102は第9の抽出手段を構成し、CPU2は、ブロックのレイアウトデータから、各内部電源配線に接続される各トランジスタのゲート長のデータを抽出する。

【0123】次に、ステップS103は第12の比率算出手段であって、CPU2は、抽出した各トランジスタのゲート幅のデータ、各トランジスタのゲート長のデータの相関値及び各トランジスタにおける動作率のデータを、各トランジスタ毎に掛算して、各トランジスタの電流消費量の比率を求める。次に、ステップS104は第13の比率算出手段であって、CPU2は、各電源端子に対応するトランジスタの電流消費量の比率の総和の比率を、各電源端子に対応する電流消費量の比率に設定する。

【0124】今、図18のブロック51において、トランジスタPa, Pcのゲート幅が150であり、トランジスタPb, Nb, Nc, Ndのゲート幅が110であり、トランジスタNaのゲート幅が90である。トランジスタPaのゲート長が40であり、トランジスタPb, Pc, Na, Nb, Ncのゲート長が20であり、トランジスタNdのゲート長が30である。

【0125】CPU2は、各トランジスタPa~Pc, Na~Ndのゲート幅を抽出し(ステップS101)、ゲート長を抽出する(ステップS102)。次に、CPU2は、係数を40として各トランジスタPa, Pb, Pc, Na, Nb, Nc, Ndのゲート長のデータの相関値(1.2,2.2,2.2,1.3)をそれぞれ求める。そして、各トランジスタPa, Pb, Pc, Na, Nb, Nc, Ndの動作率はそれぞれ9, 12, 9, 3, 8, 0, 10であるため、CPU2は、各トランジスタPa, Pb, Pc, Na, Nb, Nc, Ndの電流消費量の比率(1350,2640,2700,540,1760,0,1430)(図26参照)を求める。

【0126】次に、CPU2は、ブロック51の電源電圧VDDの系統において、図27に示すように、トランジスタPa, Pb, Pcの電流消費量の比率の総和の比率(3990/6690,2700/6690)を、内部電源配線U7, U8に対応する電流消費量の比率に設定する。同様に、CPU2は、電源電圧VSSの系統において、トランジスタNa, Nb, Nc, Ndの電流消費量の比率の総和の比率

(2300/3730,1430/3730)を、内部電源配線U9、U10に対応する電流消費量の比率に設定する。

【0127】尚、図27では、第二実施形態と同様に、電流消費量の比率

(3990/6690,2700/6690,2300/3730,1430/3730)を持つ電流源を、対応する内部電源配線U7、U8、U9、U10の中心に接続した電源網を作成している。即ち、内部電源配線U7～U10の抵抗要素R31～R38は、抵抗要素R31と抵抗要素R32、抵抗要素R33と抵抗要素R34、抵抗要素R35と抵抗要素R36、抵抗要素R37と抵抗要素R38がそれぞれ同一の抵抗値(数値略)となる。

【0128】このように求めた各電源端子に対応する電流消費量の比率は、トランジスタのゲート幅が該トランジスタの消費する電流量と対応していることと、トランジスタのゲート長の相関値が該トランジスタの消費する電流量と対応していることと、トランジスタの動作率が該トランジスタの消費する電流量と対応していることから、略正確な値となる。従って、さらに精度の高い各電源端子に対応する電流消費量の比率を短時間で求めることができる。

【0129】尚、ステップS103では、CPU2は、抽出した各トランジスタのゲート幅のデータ、各トランジスタのゲート長のデータの相関値及び各トランジスタにおける動作率のデータを、各トランジスタ毎に掛算して、各トランジスタの電流消費量の比率を求めたが、各トランジスタのゲート幅のデータ、各トランジスタのゲート長のデータの相関値及び各トランジスタにおける動作率のデータの内、少なくとも2つの値を各トランジスタ毎に掛算して、各トランジスタの電流消費量の比率を求めてもよい。例えば、各トランジスタのゲート幅のデータ及び各トランジスタにおける動作率のデータを、各トランジスタ毎に掛算して、各トランジスタの電流消費量の比率を求めてもよい。このようにしても、精度の高い各電源端子に対応する電流消費量の比率を短時間で求めることができる。・上記各実施形態のステップS4b(図6参照)では、基準値違反箇所として検索した外部電源配線の幅を、ステップS3b(図5参照)において算出した電圧値、電流値に基づいて変更したが、外部電源配線の部分における電流密度及び電圧値が基準値を満たすようにすることができればよく、例えば、電源配線の厚み(膜厚)を変更してもよい。又、図28に示すように、外部電源配線を層構成を変更する、即ち電源配線A3にコンタクト61を介して電流量を補強する補強線としての電源配線A4を接続した多層構造に変更してもよい。

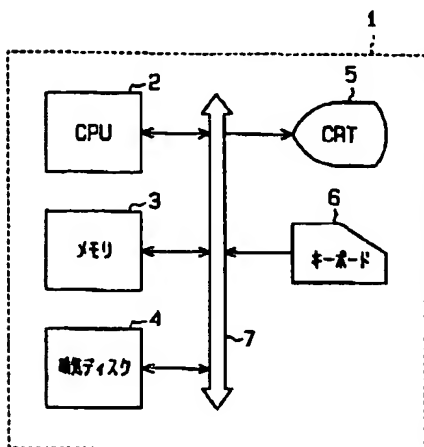
【0130】

【発明の効果】以上詳述したように、本発明によれば、短時間で最適な電源配線のレイアウトデータを作成することができるレイアウトデータ作成方法、レイアウトデータ作成装置、及びその方法を実施するプログラムを記録した記録媒体を提供することができる。

## 図面

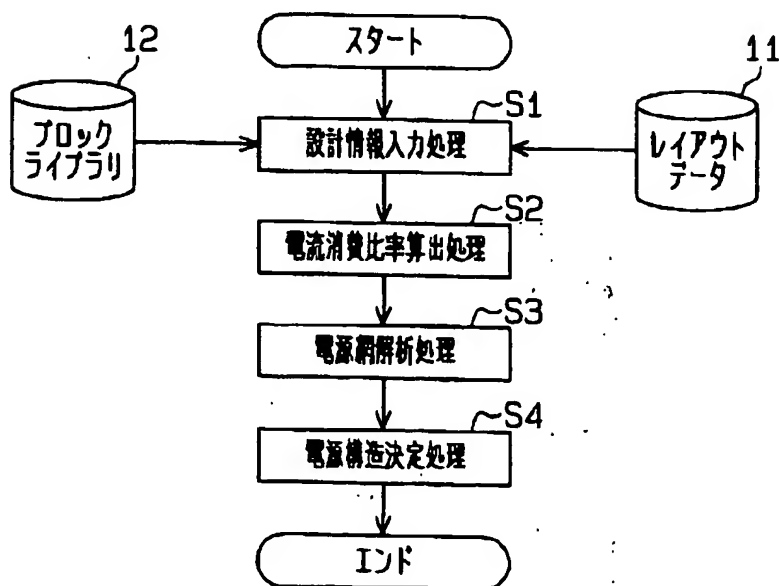
【図1】

第一実施形態のレイアウトデータ作成装置の概略構成図



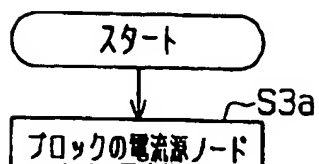
【図2】

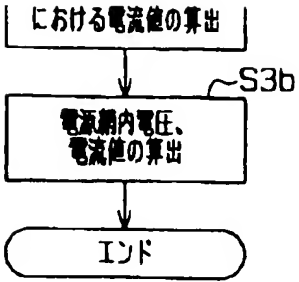
第一実施形態のレイアウトデータ作成処理のフローチャート



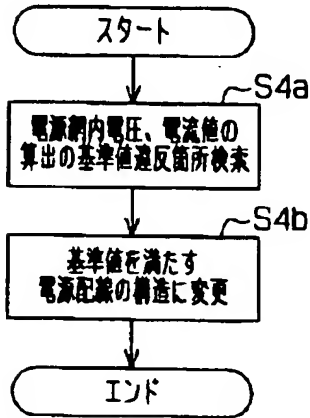
【図5】

電源網解析処理のフローチャート

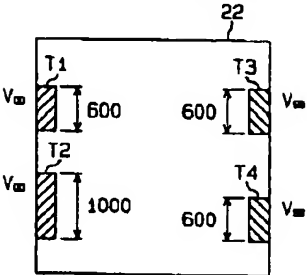




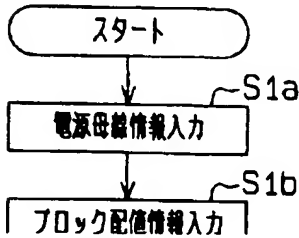
【図6】  
電源構造決定処理のフローチャート



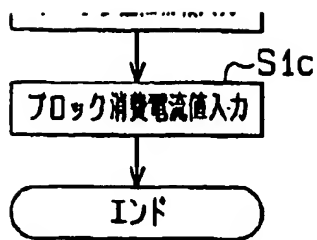
【図9】  
レイアウトデータ作成処理を示す説明図



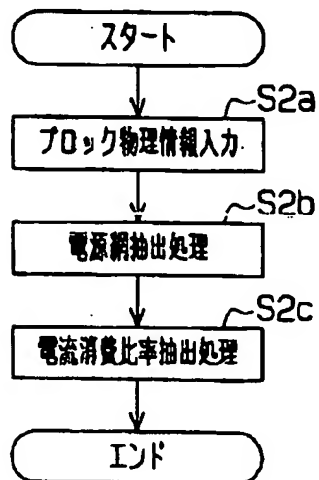
【図3】  
設計情報入力処理のフローチャート



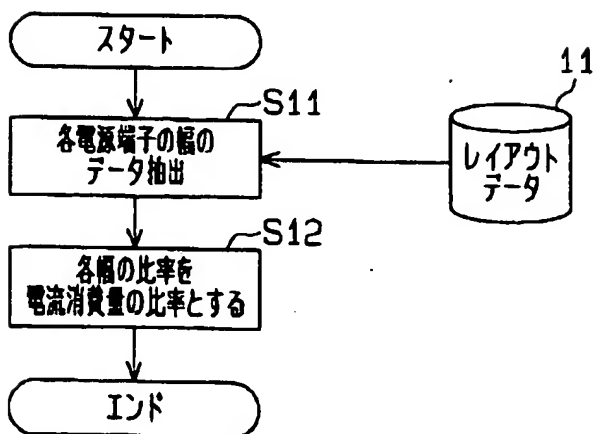




【図4】  
電流消費比率算出処理のフローチャート

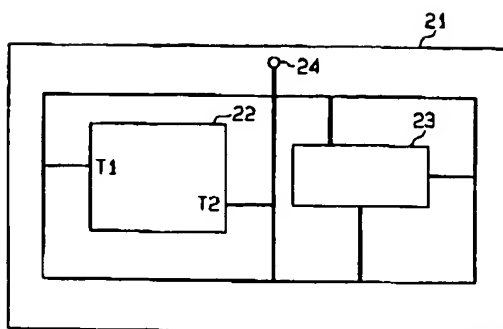


【図7】  
第一実施形態の電流比率抽出処理のフローチャート



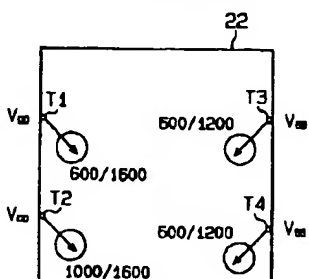
【図8】

レイアウトデータ作成処理を示す説明図



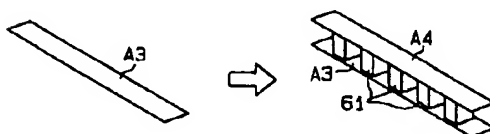
【図10】

レイアウトデータ作成処理を示す説明図



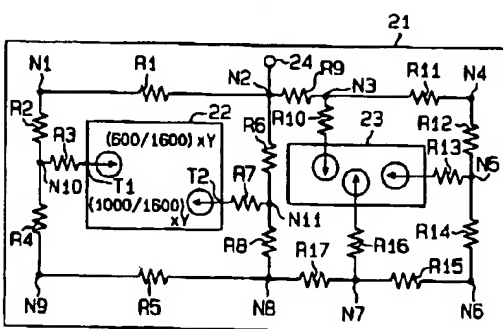
【図28】

レイアウトデータ作成処理を示す説明図



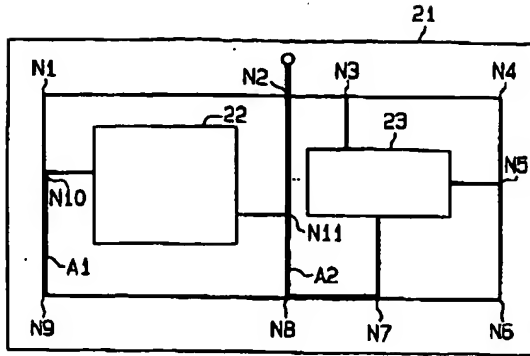
【図11】

レイアウトデータ作成処理を示す説明図



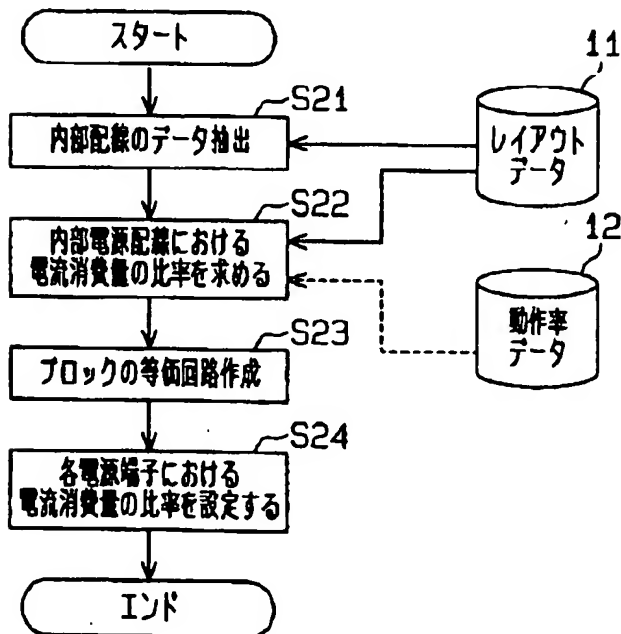
【図12】

レイアウトデータ作成処理を示す説明図



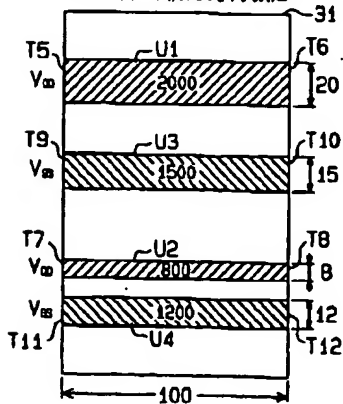
【図13】

第二実施形態の電流消費比率抽出処理のフローチャート

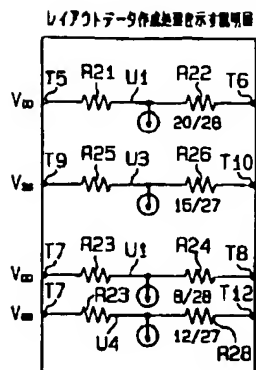


【図15】

レイアウトデータ作成処理を示す説明図

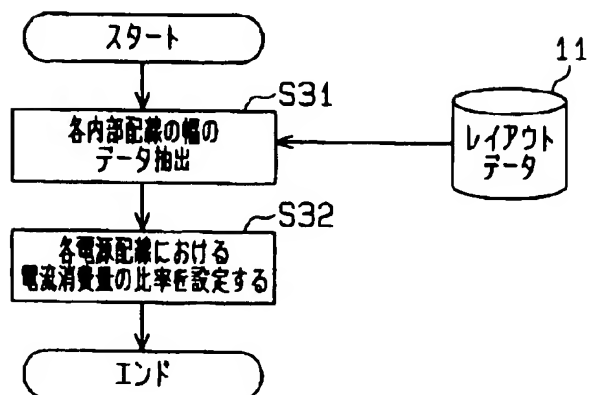


【図16】



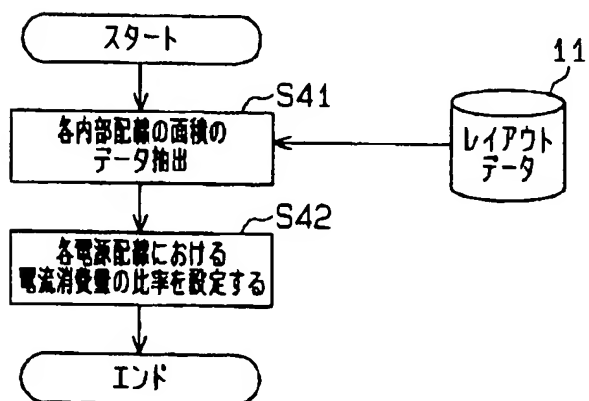
【図14】

第二実施形態の電流消費比率設定処理のフローチャート



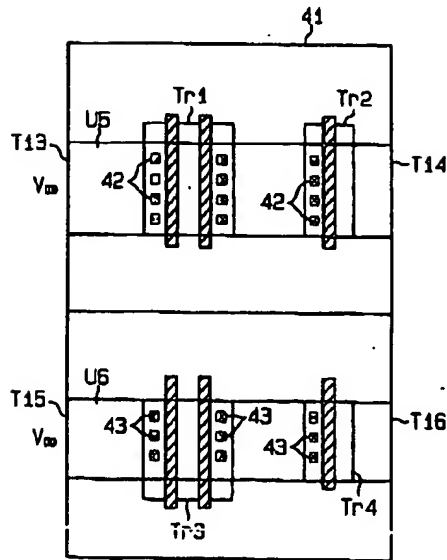
【図17】

別の電流消費比率設定処理のフローチャート



【図19】

レイアウトデータ作成処理を示す図



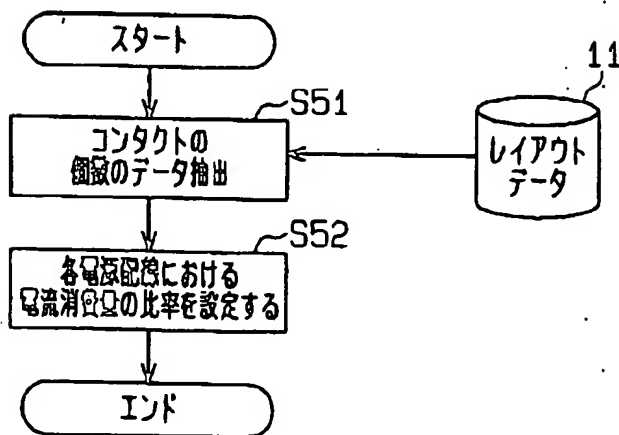
【図26】

レイアウトデータ作成処理を示す図

Tr	ゲート長	ゲート幅	ゲート厚	比率
Pa	150	1	9	1350
Pb	110	2	12	2640
Pc	150	2	9	2700
Na	90	2	3	540
Nb	110	2	8	1760
Nc	110	2	0	0
Nd	110	1.3	10	1430

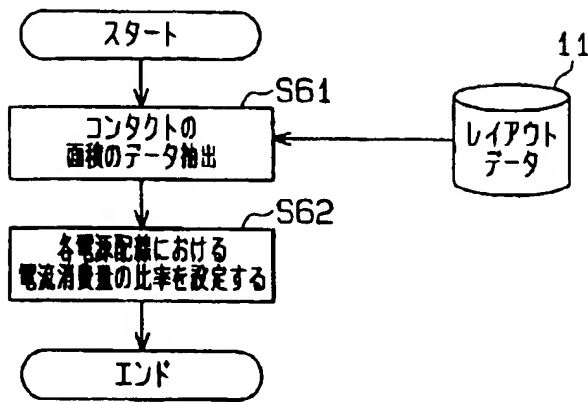
【図18】

別の電流消費比率設定処理のフローチャート

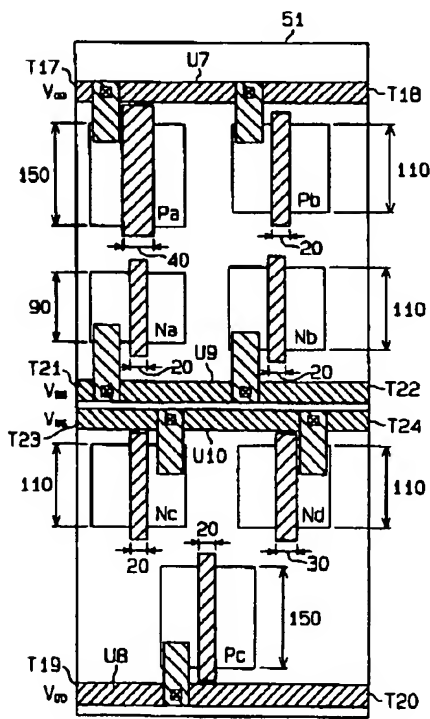


【図20】

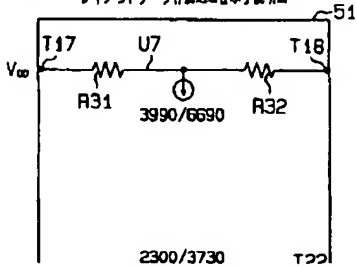
別の電流消費比率設定処理のフローチャート



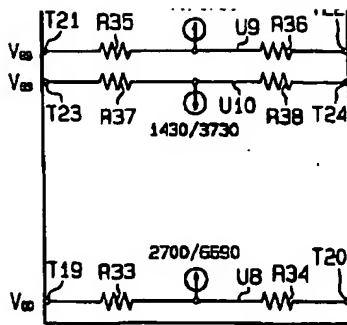
【図22】  
レイアウトデータ作成処理を示す説明図



【図27】  
レイアウトデータ作成処理を示す説明図

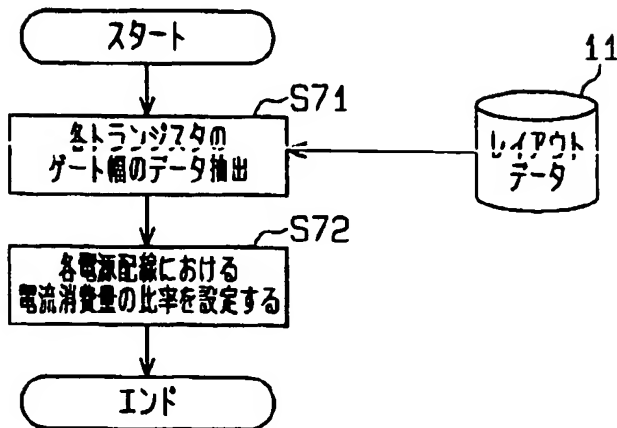






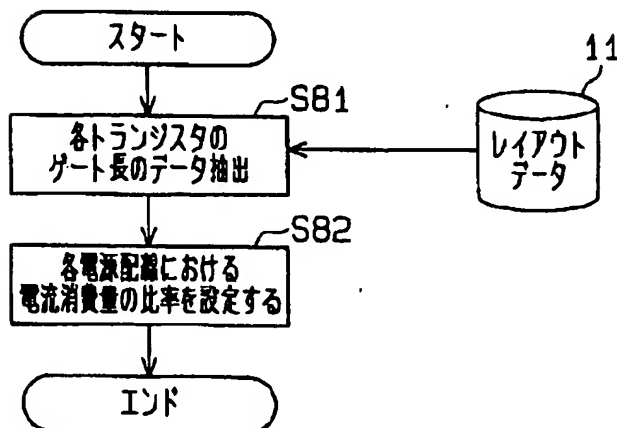
【図21】

別の電流消費比率設定処理のフローチャート



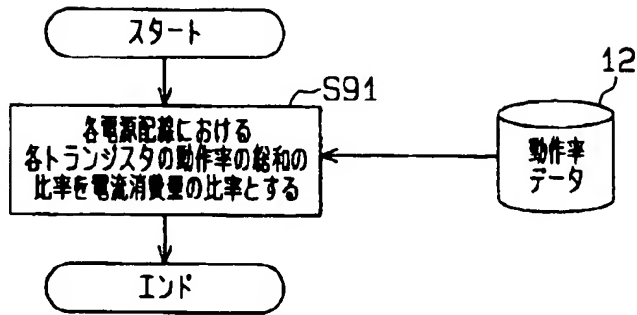
【図23】

別の電流消費比率設定処理のフローチャート



【図24】

## 別の電流消費比率設定処理のフローチャート



【図25】

## 別の電流消費比率設定処理のフローチャート

